

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-111845

(43)Date of publication of application : 23.04.1999

(51)Int.Cl.

H01L 21/768

H01L 21/316

H01L 21/318

(21)Application number : 09-271134

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 03.10.1997

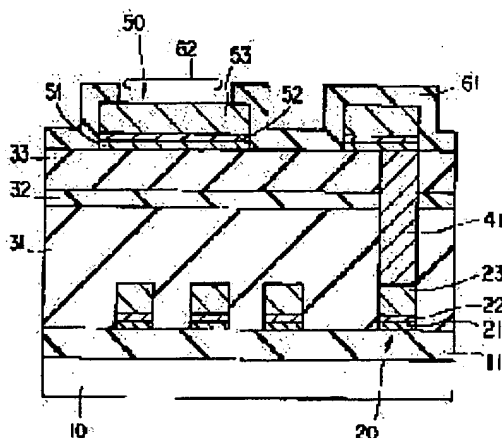
(72)Inventor : MATSUNOU TADASHI

(54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor device which can suppress impurity diffusion and infiltration of water or hydroxyl ions for improving its reliability.

SOLUTION: Formed on an element isolation insulating film 11 is a wiring layer 20 of a plurality of first metal wiring lines. Formed on the insulating film 11 and the first metallic wiring layer 20 are a silicon oxide film 31 added in high concentration of fluorine, a silicon nitride film 32 and an SiO₂ film 33. The SiO₂ film 33 higher in relative permittivity than the SiOF film 31 but lower than that of the silicon nitride film 32. Formed, in the SiOF film 31, silicon nitride film 32 and SiO₂ film 33 is a via hole for connection with the first wiring layer 20. A W plug material 41 is embedded in the via hole. A second metal wiring layer 50 is formed on the SiO₂ film 33.



LEGAL STATUS

[Date of request for examination] 29.03.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than
the examiner's decision of rejection or
application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's
decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[The technical field to which invention belongs] this invention relates to the semiconductor device which has the layer insulation film with which a multilayer interconnection is insulated, and its manufacture method.

[0002]

[Description of the Prior Art] SiO₂ currently conventionally used as a layer insulation film by the influence which between wiring and a multilayer layer insulation membrane capacitance have on a semiconductor-device performance (processing speed, power consumption) becoming large in recent years Development of the technology of using a low low dielectric constant insulator layer for a layer insulation film from specific inductive capacity (=3.9) is furthered.

[0003] As an insulator layer of a low dielectric constant, it is SiO₂. The material which added a fluorine (F) and boron (B) to structure is known. However, usual SiO₂ By the membranous membrane formation method, they are these additives in a stable state SiO₂ Incorporating in a film is not easy. They are these additives SiO₂ In order to incorporate in the state where it was stabilized in the film, the technology which forms membranes using the HDP-CVD (High Density Plasma-Chemical Vapor Deposition) method which raised plasma density further from before is known.

[0004] however, the dangling bond and CH_x which were conventionally generated inside the film by the membrane formation method in the film formed by High-Density-Plasma (HDP) using the gas system which does not contain carbon from -- the absolute magnitude of the becoming unstable structure decreases sharply Therefore, excessive F and the hydroxide ion which were incorporated in the film had the problem of it having been spread in the upper wiring direction and degrading the adhesion of a metal and an insulator layer, without reacting and recombining with the above-mentioned defective field.

[0005] Furthermore, it was easy to diffuse the water and the hydroxide ion by which diffusion introduction is carried out from a semiconductor external environment in the aforementioned insulating inside-of-the-body section, and there was a problem that degradation of an element property metallurgy group wiring property tends to take place.

[0006] Moreover, in the low dielectric constant film of organic system low dielectric constant films, such as an SOG film and a polyimide, whose specific inductive capacity is less than 3.9, it is rich in hygroscopicity similarly besides a SiOF film, and there is a problem of degrading an element property and the property of metal wiring.

[0007]

[Problem(s) to be Solved by the Invention] As described above, when the low dielectric constant insulator layer whose specific inductive capacity is less than 3.9 was used for the layer insulation film which carries out insulating separation of between the upper wiring and lower layer wiring, there was a problem of the impurity added by the layer insulation film having been spread in the upper wiring direction, and degrading the adhesion of a metal and an insulator layer. Moreover, the low dielectric constant insulator layer was rich in permeability, and water, a hydroxide ion, etc. tended to diffuse it,

and it had the problem of degrading an element property, wiring, etc.

[0008] The purpose of this invention suppresses diffusion of the impurity added by the layer insulation film which carries out the separation insulation of between the upper wiring and lower layer wiring, and the water to this layer insulation film and the invasion of a hydroxide ion, and is to offer the semiconductor device which can aim at improvement in the reliability of an element.

[0009]

[Means for Solving the Problem]

[Composition] this invention is constituted as follows, in order to attain the above-mentioned purpose.

(1) The semiconductor device of this invention (claim 1) The specific inductive capacity formed on the lower layer wiring formed on the substrate, and the aforementioned substrate and lower layer wiring Less than 3.9 lower layer insulator layer, It is formed on this lower layer insulator layer, and specific inductive capacity is higher than this lower layer insulator layer. the permeability of water and a hydroxide ion A low diffusion suppression insulator layer, It is formed on this diffusion suppression insulator layer, and specific inductive capacity possesses the low upper insulator layer and the upper wiring which embedded at formation or this upper insulator layer, and was formed on the aforementioned upper insulator layer from this diffusion suppression insulator layer, and it is characterized by the bird clapper.

(2) The manufacture method of the semiconductor device of this invention (claim 6) The process which forms lower layer wiring on a substrate, and the process which forms the lower layer insulator layer whose specific inductive capacity is less than 3.9 on the aforementioned substrate and lower layer wiring, The process at which specific inductive capacity is higher than this lower layer insulator layer, and the diffusion coefficient of water and a hydroxide ion forms a low diffusion suppression insulator layer on the aforementioned lower layer insulator layer, It is characterized by including the process at which specific inductive capacity forms the low upper insulator layer from this diffusion suppression insulator layer on the aforementioned diffusion suppression insulator layer, and the process which forms the upper wiring on the aforementioned upper insulator layer, or forms a slot in this upper insulator layer, and embeds and forms the upper wiring at this Mizouchi.

[0010] The desirable embodiment of this invention is shown below.

(A-1) The aforementioned lowest layer and the upper insulator layer are insulator layers in which a fluorine, boron, or carbon contains the silicon added as an impurity.

(A-2) The aforementioned lower layer insulator layer was formed by HDP-CVD.

(A-3) The aforementioned diffusion suppression insulator layer has the permeability of water and a hydroxide ion lower than the aforementioned lower layer insulator layer within the limits of 298.15-400.15K at least. In addition, H₂O and D₂O are included with water.

(B-1) The film density of the aforementioned lower layer insulator layer is lower than the film density of the silicon oxide obtained by thermal oxidation.

(B-2) The aforementioned lower layer insulator layer or the upper insulator layer is an SOG film or an organic system insulator layer.

(C) The thickness of the aforementioned diffusion suppression insulator layer is thinner than the thickness of the lower layer insulator layer on the aforementioned lower layer wiring.

(D) The aforementioned lower layer wiring or the upper wiring is metal wiring.

[0011] A [operation] this invention has the following operation and effects by the above-mentioned composition. It enables it for the impurity added in the lower layer insulator layer to prevent being spread to the interface of the upper insulator layer and the upper wiring, and to prevent degradation of the adhesion of the upper insulator layer and the upper wiring by the diffusion suppression insulator layer.

[0012] Moreover, since permeability, such as water and a hydroxide ion, is low, a diffusion suppression insulator layer becomes possible [suppressing that water and a hydroxide ion are spread in the lower layer lower layer insulator layer], and its reliability improves.

[0013] Generally the insulator layer with low water and hydroxide-ion permeability is the matter with high specific inductive capacity. Therefore, if the upper wiring is formed on a diffusion suppression

insulator layer, the capacity during the upper wiring will increase. Then, when the upper insulator layer with specific inductive capacity lower than a diffusion suppression insulator layer is formed and the upper wiring forms on this upper insulator layer, the increase in multilayer layer wiring capacity is prevented.

[0014] Moreover, the capacity between wiring is strongly influenced also in the insulator layer directly under wiring instead of the insulator layer where capacity embeds between lines. Therefore, since the upper insulator layer in which wiring is formed has specific inductive capacity lower than a diffusion suppression insulator layer, the increase in line capacity is also suppressed.

[0015] Moreover, in order to reduce the capacity between layers between the upper layer and lower layer wiring, the thickness of a diffusion suppression insulator layer must make it thinner than the thickness on lower layer wiring of a lower layer insulator layer. Moreover, after carrying out flattening of the lower layer insulator layer, a semiconductor device without the variation in a property can be formed by forming a diffusion suppression insulator layer.

[0016]

[Embodiments of the Invention] The form of operation of this invention is explained with reference to a drawing below.

[1st operation form] drawing 1 is the cross section showing the composition of the semiconductor device which has the two-layer wiring concerning the 1st operation form of this invention. In addition, with this operation form, formation processes, such as isolation and MOSFET, are skipped and the isolation insulator layer 11 is formed on the semiconductor substrate 10 which is illustrating only the portion in connection with multilevel-metal wiring directly. The 1st metal wiring (lower layer wiring) 20 of two or more is formed on the isolation insulator layer 11. The laminating of the Ti film 21, the TiN film 22, and the aluminum-Cu alloy film 23 is carried out; and the 1st metal wiring 20 is constituted.

[0017] On the isolation insulator layer 11 and the 1st metal wiring 20, it is formed of HDP-CVD, and the silicon oxide (following SiOF film) (lower layer insulator layer) 31 by which the fluorine is added by high concentration is formed. The value of the specific inductive capacity is 3.6, and the SiOF film 31 is SiO₂. Compared with the membranous specific-inductive-capacity value 3.9, it has a low value. Therefore, SiO₂ conventionally used with the layer insulation film The capacity between wiring can be reduced compared with a film.

[0018] On the SiOF film 31, the silicon nitride (diffusion suppression insulator layer) 32 of thickness thinner than the thickness of the SiOF film 31 on the 1st metal wiring 20 is formed. Since the network of Si-N is a firm, i.e., are precise, film, the path which contributes to diffusion of water and a hydroxide ion becomes possible [existing as the extremely few structure], the permeability of water (H₂ O, D₂ O) and a hydroxide ion serves as a low insulator layer compared with the SiOF film 31, and the silicon nitride 32 suppresses that water and a hydroxide ion invade into the SiOF film 31. Moreover, SiO₂ which F [surplus / in the SiOF film 31] mentions later similarly It prevents being spread in a film and is this SiO₂. A film and the thing which are mentioned later and for which degradation of the adhesion of the 2nd metal wiring is prevented become possible.

[0019] It is SiO₂ on the silicon nitride 32. The film (the upper insulator layer) 33 is formed. SiO₂ The specific inductive capacity of a film 33 is higher than the SiOF film 31, and has a value lower than the silicon nitride 32.

[0020] The SiOF film 31, the silicon nitride 32, and SiO₂ The veer hole linked to the 1st metal wiring 20 is formed in a film 33, and W plug material 41 is embedded and formed all over the veer hole.

[0021] SiO₂ The 2nd metal wiring (the upper wiring) 50 of two or more is formed on the film 33. The laminating of the Ti film 51, the TiN film 52, and the aluminum-Cu alloy film 53 is carried out, and this 2nd metal wiring 50 is constituted. Moreover, the 2nd metal wiring 50 of one is connected to W plug material 41.

[0022] SiO₂ The SiON film 61 is formed as a passivation insulator layer for protecting a chip on a film 33 and the 2nd metal wiring 50. The connection aperture 62 linked to the 2nd metal wiring 50 is formed in the SiON film 61.

[0023] Subsequently, the manufacturing process of this semiconductor device is explained. Drawing 2

and 3 are the process cross sections showing the manufacture method of the two-layer metal wiring concerning the 1st operation form of this invention. In this process cross section, isolation and an MOSFET formation process are skipped and only the process portion in connection with two-layer metal wiring formation is illustrated directly.

[0024] First, after depositing the isolation insulator layer 11 used as the discrete insulating layer of the wiring behind formed on the semiconductor substrate 10, 20nm laminating of the Ti film 21 is carried out on an insulator layer 11. And the TiN film 22 is deposited by the sputter in 700nm thickness on the Ti film 21. Continuously, on the TiN film 22, a sputter is used and the aluminum-Cu alloy film 23 is deposited in 400nm thickness. Subsequently, a resist pattern is formed on the aluminum-Cu alloy film 23 of a wiring portion using lithography technology. And a resist pattern is removed, after *****ing the aluminum-Cu alloy film 23, the TiN film 22, and the Ti film 21 one by one and carrying out formation processing of the 1st metal wiring 20 using the RIE (Reactive Ion Etching) method by using a resist pattern as a mask (drawing 2 (a)).

[0025] Subsequently, it is Bias-HDP as shown in drawing 2 (b). 1.3 micrometers of SiOF films 31 are deposited using the CVD (Bias-HighDensityPlasma ChemicalVaporDeposition) method. membrane formation of the SiOF film 31 -- the inside of the HDP-CVD system of ICP-Type -- SiF₄ / O₂ from -- the gas system which added Ar gas for acquiring the Bias sputter effect was introduced into the becoming reactant gas, and it carried out by the plasma density of 1x10¹²cm⁻³

[0026] In the reactant gas for forming the SiOF film 31 TEOS/O₂/NF₃ used as the source of Si, TEOS/O₂ / CF₄, and TEOS/O₂/C₂ F₂ etc. -- the gas system which added the material which has a fluorine in TEOS gas in composition gas -- SiH₄ / O₂ / CF₄ used as the source of Si, and SiH₄/O₂/C₂ F₆ etc. -- SiH₄ the gas system which added the material which has a gas fluorine in composition gas -- SiH₂ F₂ / SiF₄ / O₂, and O₂ SiF₄ / SiH₄ / O₂, and SiH two F₂ / SiH₄ / O₂ etc. -- Si and F can use the gas system contained in 1 molecule of reactant gas [or] It is more more desirable to use the material gas used as the simple system which does not contain carbon for the gas which serves as a source of Si among the above.

[0027] By using HDP-CVD, the ion obtained in the case of membrane formation becomes possible [obtaining an insulator layer with few defects in the molecule network which constitutes a film from a bird clapper with the gestalt of simpler and stable ion as compared with the former as supply on a wafer is possible]. For example, the value of the film obtained by HDP-CVD to E'center of 6x10¹⁸ [spin/cm³] having been observed as a result of [which twists the film obtained by the CVD system of the conventional parallel monotonous type electrode to an ESR process] measuring was below limit of detection. It sets in this operation gestalt and is SiF₄ / SiH₄, and O₂. The SiOF film 31 was deposited by membrane formation gas.

[0028] Subsequently, as shown in drawing 2 (c), the front face of the SiOF film 31 is ground using the CMP method, and flattening processing is performed. In this polish process, the SiOF film 31 is ground until the thickness of the SiOF film 31 on the 1st metal wiring 20 is set to 0.8 micrometers.

[0029] Subsequently, as shown in drawing 3 (d), reactant gas and membrane formation conditions are continuously deposited 50nm of silicon nitrides 32 and changed by the reduced pressure plasma CVD method on the SiOF film 31, and it is SiO₂ in the same chamber. 150nm of films 33 is deposited.

[0030] SiO₂ In membrane formation of a film 33, it is TEOS/O₂. Membrane formation in the state where a system and still more nearly little F compound gas were added can be considered, and it is SiO₂. Impurities, such as a fluorine and carbon, may be mixing into a film 33.

[0031] In addition, the silicon nitride 32 and SiO₂ Although continuation membrane formation of the film 33 is carried out in the same chamber, it is also possible to perform discontinuous membrane formation using another chamber or another equipment.

[0032] Subsequently, as shown in drawing 3 (e), they are the SiOF film 31, the silicon nitride 32, and SiO₂. Puncturing formation of the veer hole connected to a film 33 with the metal wiring 20 of the above 1st is carried out with lithography technology and RIE technology. And selection W W plug material 41 is embedded only in a veer hole with CVD technology, and it forms.

[0033] Subsequently, it is SiO₂ as shown in drawing 3 (f). A sputter is used on a film 33, and the Ti film

51 is continued by 20nm, 700nm and the aluminum-Cu alloy film 53 are continued one by one by 400nm thickness in the TiN film 52, and it deposits. Subsequently, a resist pattern is formed on the aluminum-Cu film 53 of the portion used as a circuit pattern with lithography technology. And by using a resist pattern as a mask, by RIE, the Ti film 51, the TiN film 52, and the aluminum-Cu film 53 are *****ed one by one, and the 2nd metal wiring 50 is formed.

[0034] And 200nm of SiON films 61 is deposited on the whole surface by reduced pressure CVD as a passivation insulator layer aiming at chip protection. And the SiON film 61 on the 2nd metal wiring 50 is removed alternatively, the connection aperture 62 for external connection is formed, and a semiconductor device is completed.

[0035] According to this operation gestalt, by the silicon nitride 32, it can prevent a hydroxide ion invading into the SiOF film 31, and degradation of the property of an active element (MOSFET) and the 1st metal wiring can be prevented. Moreover, for the silicon nitride 32, F [surplus / in the SiOF film 31] is the 2nd the metal wiring 50 and SiO₂. It prevents reaching the interface of a film 33 and they are the metal wiring 50 and SiO₂. Degradation of adhesion with a film 33 is prevented.

[0036] In addition, it is also possible to use precise films, such as SiON, besides silicon nitride 32.

[2nd operation gestalt] drawing 4 is the cross section showing the composition of the semiconductor device which has the two-layer metal wiring concerning the 2nd operation gestalt of this invention. In addition, in drawing 4, the same sign is given to the same portion as drawing 1, and the explanation is omitted.

[0037] The feature of this operation gestalt is that the diffusion suppression insulator layer on the SiOF film 31 is the SiO_x film ($0 < x < 2$) 34. E'center from which the SiO_x film ($0 < x < 2$) 34 becomes Si- into a film when oxygen suffers a loss is formed. SiO_x If a hydroxide ion (-OH basis) invades into a film 34, the reaction whose -OH basis carries out termination of the defective part of Si- will arise. Therefore, SiO_x The absolute magnitude of the hydroxide ion supplied to the SiOF film 31 under a film 34 is reduced, and it prevents that the 1st metal wiring 20 deteriorates.

[0038] Moreover, F [surplus / in the SiOF film 31] is SiO₂ similarly. It prevents being spread on a film 33 and is SiO₂. Degradation of the adhesion of a film 33 and the 2nd metal wiring 50 is prevented. Subsequently, the manufacturing process of this semiconductor device is explained. Drawing 5 and 6 are the process cross sections showing the manufacture method of the detailed-ized two-layer metal wiring concerning the 2nd operation gestalt of this invention.

[0039] First, as shown in drawing 5 (a) after flattening of the SiOF film 31 of drawing 3 (c) in the 1st operation gestalt, on the SiOF film 31, reduced pressure CVD is used and 50nm ($0 < x < 2$) of SiO_x films 34 is formed. SiO_x A film 34 is SiO₂. SiO₂ according the ratio to the gas which is the source of supply of Si that it should compare and should consider as a silicon oxide with high Si ratio, for example, the total capacity of SiH₄, to the usual plasma CVD It forms using the environment raised from membrane formation conditions.

[0040] SiH₄ although the decomposition efficiency of gas changes with equipment specifications -- this time -- SiH₄ capacity -- 1.2 usual times -- carrying out -- other membrane formation conditions -- usually -- ** -- the ratio of Si and O was able to obtain the film of O:1.7 to Si:1 by using the same conditions

[0041] SiO_x After formation of a film 34, and SiH₄ It changes into the conditions reduce capacity to 1/1.2 and SiO₂ film grows up to be, and is SiO₂ in the same chamber. 150nm of films 33 is deposited. And the SiOF film 31 and SiO_x A film 34 and SiO₂ The veer hole linked to the 1st metal wiring 20 is formed in a film 33, and W plug material 41 is embedded and formed in a veer hole. in addition -- this operation gestalt -- SiO_x A film 34 and SiO₂ the ratio using another chamber or another equipment although continuation membrane formation of the film 33 was carried out in the same chamber -- it is also possible to perform continuation membrane formation

[0042] Subsequently, it is SiO₂ like the 1st operation gestalt. The Ti film 51, the TiN film 52, and the aluminum-Cu alloy film 53 form the 2nd metal wiring 50 by which the laminating was carried out on a film 33. And 200nm of SiON films 61 is deposited by reduced pressure CVD like the 1st operation gestalt. And the SiON film 61 on the 2nd metal wiring 50 is removed alternatively, and the connection

aperture 62 is formed (drawing 5 (b)).

[0043] According to this operation gestalt, it is SiOx. Since the absolute magnitude of the hydroxide ion supplied to the SiOF film under a film decreases, degradation of the property of an active element (MOSFET) and metal wiring can be prevented. Similarly, F [surplus / in a SiOF film] is SiO2. It prevents being spread on a film and is SiO2. Degradation of the adhesion of a film and the 2nd metal wiring can be prevented.

[0044] [3rd operation gestalt] drawing 6 is the cross section showing the structure of the two-layer wiring concerning the 3rd operation gestalt of this invention. In drawing 6 , the same sign is given to the same portion as drawing 1 , and the detailed explanation is omitted into it. The feature of this operation gestalt is that the insulator layer (lower layer insulator layer) formed on an insulator layer 11 and the 1st metal wiring 20 consists of low dielectric constant silicate films 35. the low dielectric constant silicate film 35 -- carrying out -- BPSG, PSG, or BSG can be used A low dielectric constant silicate film is SiO2. Since film density is a low film compared with a film, it is the film which a hydroxide ion etc. tends to penetrate.

[0045] Even if a lower layer insulator layer is the silicate film 35, it prevents that prevent spreading a hydroxide ion etc. on the silicate film 35, and the 1st metal wiring 20 deteriorates by the precise silicon nitride 32. Moreover, it is possible to use a SiOx film ($0 < x < 2$) as well as the 2nd operation gestalt.

[0046] Next, the manufacturing process of this semiconductor device is explained. Drawing 7 is the process cross section showing the manufacture method of the detailed-sized two-layer metal wiring concerning the 2nd operation gestalt of this invention. First, the 1st metal wiring 20 which consists of the Ti film 21, a TiN film 22, and an aluminum-Cu alloy film 23 is formed on the insulator layer 11 formed on the semiconductor substrate 10 like the 1st operation gestalt (drawing 7 (a)).

[0047] Subsequently, after applying like a resist application for silicate material, rotating 3000rpm, by performing the second heat treatment of 30min one by one the first heat treatment of 30sec, and 450 degrees 250 degrees, make the solvent in a film evaporate, it is made to film[hardening and]-ize, and the low dielectric constant silicate film 35 of 1.5 micrometers of thickness is formed (drawing 7 (b)).

[0048] In addition, inorganic [by organic / by Hitachi Chemical Co., Ltd. / SOGR / 7 (Spin-OnGlass:SOG, HitachiChemicalCo., Ltd., HSG-2209 S-R7) / SAITOPPU by the Asahi glass company, PAE made from Sehumacher (the poly allyl-compound ether), BCB (benz-cyclo-butene) by the Dow Chemical Co., PFCB (bar fluoro cyclobutene) by the Dow Chemical Co., and the Dow Chemical Co. / SOGHSQ] etc. can use as silicate material.

[0049] Subsequently, as shown in drawing 7 (c), using CMP (ChemicalMechanicalPolishing) technology, the low dielectric constant silicate film 35 is ground, and surface flattening processing is performed. For example, the insulating thickness on the 1st metal wiring 20 grinds until it is set to 0.8 micrometers.

[0050] By passing through the process which gave drawing 3 (d) - (f) explanation of the 1st operation gestalt, the semiconductor device shown in drawing 6 is formed. According to this operation gestalt, since the absolute magnitude of the hydroxide ion supplied to the silicate film under a silicon nitride decreases, degradation of the property of an active element (MOSFET) and metal wiring can be prevented.

[0051] As an upper insulator layer, you may use the same material as a lower layer insulator layer. In addition, this invention is not limited to the above-mentioned operation gestalt. For example, although the layer insulation film was formed by three layers, it is also possible to insert a different insulator layer between a diffusion suppression insulator layer and the upper insulator layer, and to constitute from four or more layers by the insulator layer.

[0052] Moreover, in the above-mentioned operation gestalt, although the upper wiring was formed on the upper insulator layer, as shown in drawing 8 , it is also possible to embed and form in the wiring slot 63 formed in the upper insulator layer 33.

[0053] This is SiO2 to the structure shown in drawing 2 (d). The wiring slot 63 is formed in a film 33, and further, in the predetermined wiring slot 63, a veer hole is formed so that it may connect with the metal wiring 20 of the above 1st. After embedding and forming W plug material 41 only in this veer

hole, the Ti film 51 and the TiN film 52 are formed one by one in all the wiring slots 63, and it is formed by depositing the aluminum-Cu alloy film 53.

[0054] Moreover, efficient consumer response (Electron Cyclotron Resonance), Helicon (Helicon WaveExcited Plasma), etc. can use for formation of HDP besides ICP.

[0055] Furthermore, you may use the applied type film mentioned as a lower layer insulator layer as an upper insulator layer. In addition, this invention is the range which does not deviate from the summary, and it deforms variously and it can be carried out.

[0056]

[Effect of the Invention] As explained above, according to this invention, water and the low diffusion suppression insulator layer of the permeability of a hydroxide ion, and specific inductive capacity can prevent [insulator layer / lower layer / insulator layer / diffusion suppression] degradation of an active element or the property of wiring highly from the lower layer insulator layer and lower layer insulator layer which are rich in water permeability and have an unstable impurity, aiming at the fall of wiring capacity by carrying out the laminating of the low upper insulator layer.

[Translation done.]

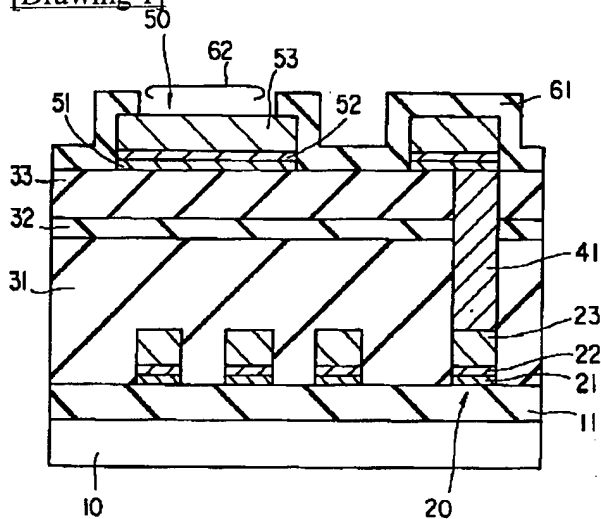
* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

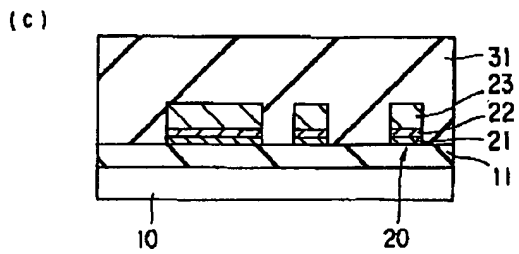
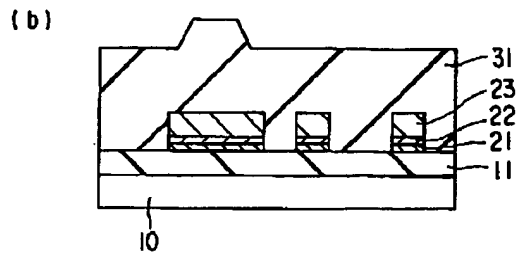
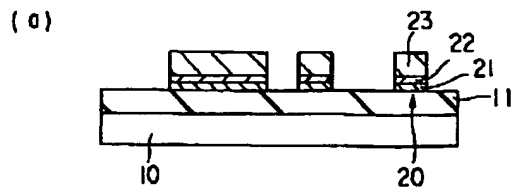
1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DRAWINGS

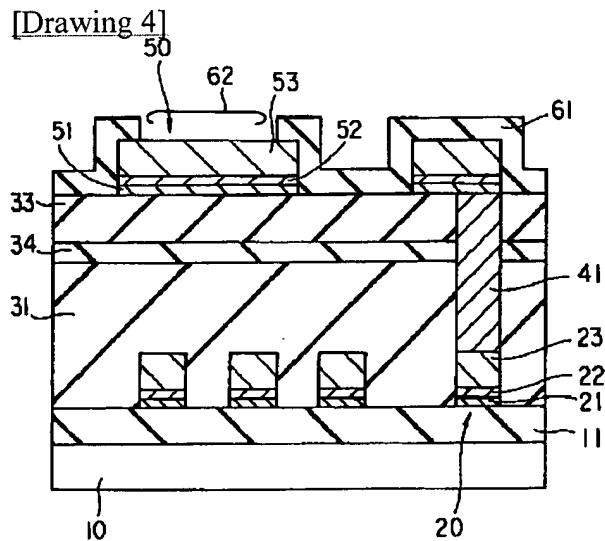
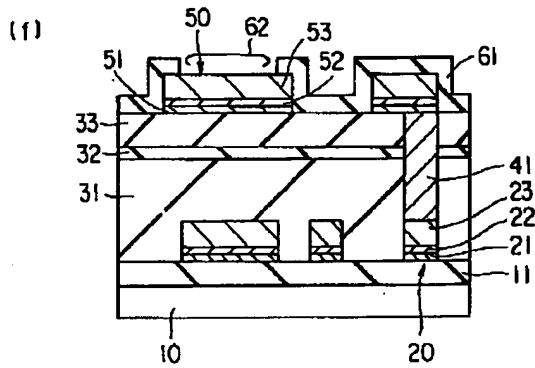
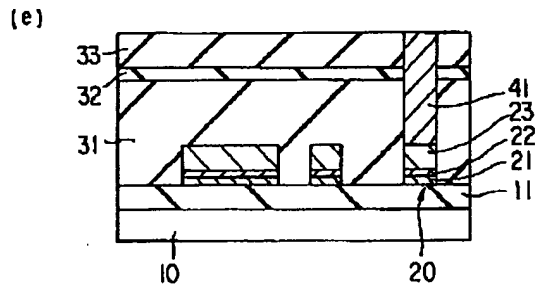
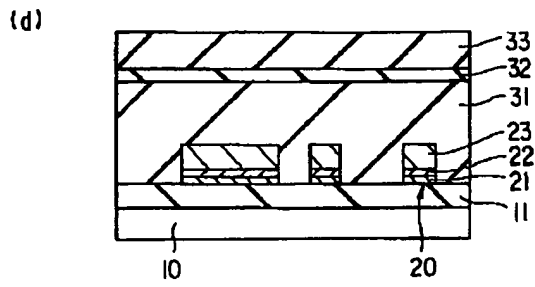
[Drawing 1]



[Drawing 2]

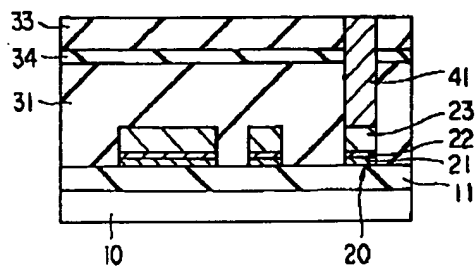


[Drawing 3]

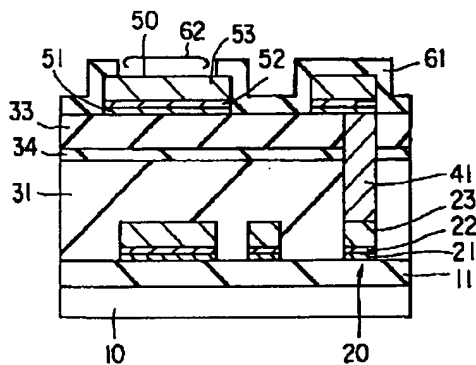


[Drawing 5]

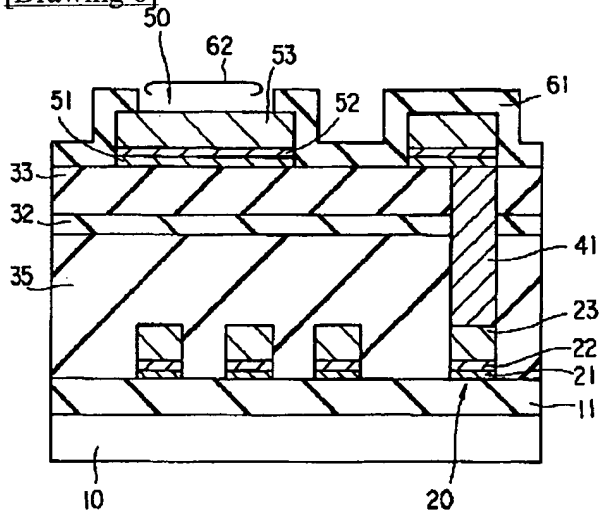
(a)



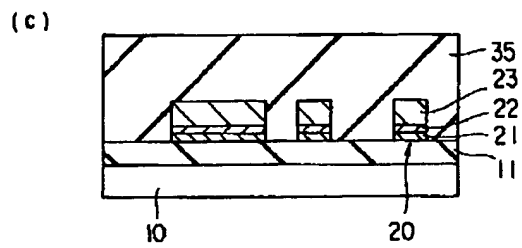
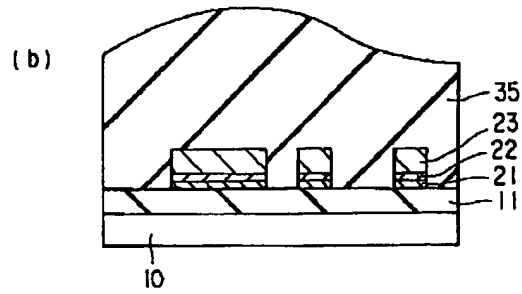
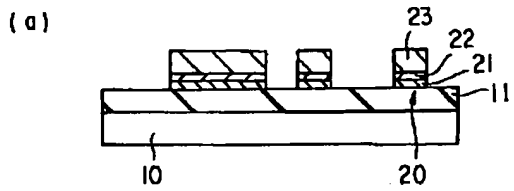
(b)



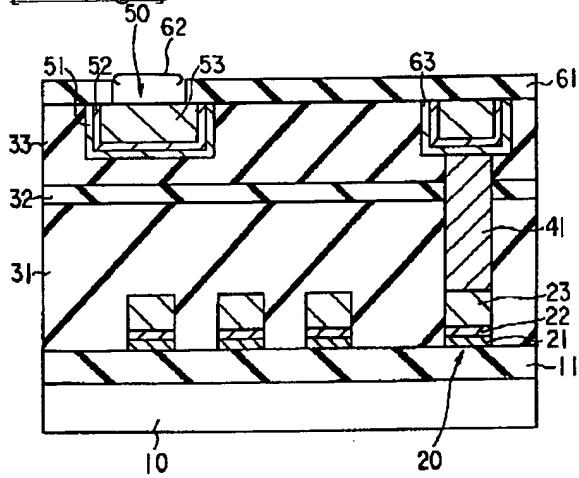
[Drawing 6]



[Drawing 7]



[Drawing 8]



[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-111845

(43) 公開日 平成11年(1999) 4月23日

(51) IntCl.⁶

識別記号

F I

H 0 1 L 21/768

H 0 1 L 21/90

M

21/316

21/316

M

21/318

21/318

M

21/90

K

審査請求 未請求 請求項の数 6 O L (全 8 頁)

(21) 出願番号 特願平9-271134

(22) 出願日 平成9年(1997)10月3日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 松能 正

神奈川県横浜市磯子区新杉田町8番地 株式会社東芝横浜事業所内

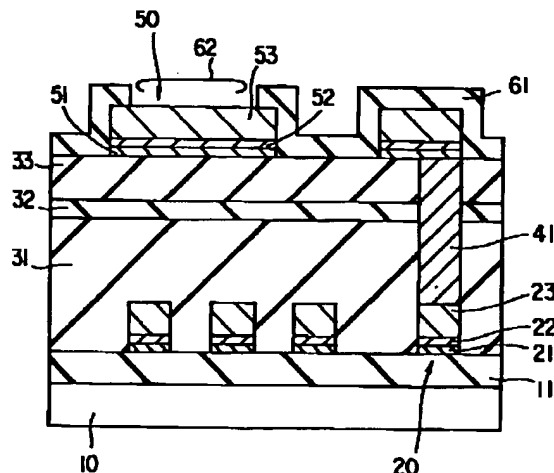
(74) 代理人 弁理士 鈴江 武彦 (外6名)

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】不純物の拡散、並びに水や水酸イオンの侵入を抑制し、素子の信頼性の向上を図る。

【解決手段】絶縁膜11上に複数本の第1の金属配線20が形成されている。素子分離絶縁膜11及び第1の金属配線20上に、フッ素が高濃度に添加されたシリコン酸化膜31、シリコン窒化膜32及びSiO₂膜33が積層されている。SiO₂膜33の比誘電率は、SiOF膜31より高く、シリコン窒化膜32より低い値を有する。SiOF膜31、シリコン窒化膜32、SiO₂膜33に第1の金属配線20に接続するビア・ホールが形成され、ビア・ホール中にWプラグ材41が埋め込み形成されている。SiO₂膜33上に第2の金属配線50が形成されている。



【特許請求の範囲】

【請求項1】基板上に形成された下層配線と、前記基板及び下層配線上に形成された比誘電率が3.9未満の下層絶縁膜と、この下層絶縁膜上に形成され、比誘電率が該下層絶縁膜より高く、水及び水酸イオンの透過率が低い拡散抑制絶縁膜と、

この拡散抑制絶縁膜上に形成され、比誘電率が該拡散抑制絶縁膜より低い上層絶縁膜と、

前記上層絶縁膜上に形成、又は前記上層配線に埋め込み形成された上層配線とを具備してなることを特徴とする半導体装置。

【請求項2】前記拡散抑制絶縁膜は、シリコン酸化膜或いはシリコン窒化膜であることを特徴とする請求項1に記載の半導体装置。

【請求項3】前記下層絶縁膜或いは上層絶縁膜は、フッ素或いはホウ素が添加されたシリコンを含む絶縁膜であることを特徴とする請求項1に記載の半導体装置。

【請求項4】前記下層絶縁膜の膜密度が、熱酸化により得られるシリコン酸化膜の膜密度より低いことを特徴とする請求項1に記載の半導体装置。

【請求項5】前記拡散抑制絶縁膜の膜厚が、前記最下層配線の下層絶縁膜の膜厚より薄いことを特徴とする請求項1に記載の半導体装置。

【請求項6】基板上に下層配線を形成する工程と、前記基板及び下層配線上に比誘電率が3.9未満である下層絶縁膜を形成する工程と、

前記下層絶縁膜を平坦化した後、該下層絶縁膜上に、比誘電率が該下層絶縁膜より高く、水及び水酸イオンの拡散係数が低い拡散抑制絶縁膜を形成する工程と、

前記拡散抑制絶縁膜上に、比誘電率が該拡散抑制絶縁膜より低い上層絶縁膜を形成する工程と、

前記上層絶縁膜上に上層配線を形成するか、又は該上層絶縁膜に溝を形成しこの溝内に上層配線を埋め込み形成する工程とを含むことを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、多層配線を絶縁する層間絶縁膜を有する半導体装置及びその製造方法に関する。

【0002】

【従来の技術】近年、配線間並びに多層層間絶縁膜容量が半導体デバイス性能（処理速度、消費電力）に与える影響が大きくなってきており、従来層間絶縁膜として使用されていた SiO_2 の比誘電率（ ≈ 3.9 ）より低い低誘電率絶縁膜を層間絶縁膜に用いる技術の開発が進められている。

【0003】低誘電率の絶縁膜としては、 SiO_2 構造に対しフッ素（F）やホウ素（B）を添加した材料が知

られている。しかしながら、通常の SiO_2 膜の成膜方法では、これらの添加物を安定な状態で SiO_2 膜中に取り込むことは容易ではない。これらの添加物を SiO_2 膜中に安定した状態で取り込むために、従来よりさらにプラズマ密度を高めたHDP-CVD（High Density Plasma—Chemical Vapor Deposition）法を用いて成膜する技術が知られている。

【0004】しかし、カーボンを含むガス系を用いてHigh-Density-Plasma（HDP）によって成膜された膜内には、従来成膜方法では膜内部に生成されていたダングリングボンドや CH_x からなる不安定構造の絶対量が激減する。そのため、膜中に取り込まれた余剰のFや水酸イオンは、上記の欠陥領域に反応・再結合することなく、上層配線方向へ拡散して金属と絶縁膜との密着性を劣化させるという問題があった。

【0005】さらには、半導体外部環境より拡散導入される水、水酸イオンが前記絶縁体内部に拡散しやすく、素子特性や金属配線特性の劣化が起りやすいという問題があった。

【0006】また、 SiOF 膜以外にも、比誘電率が3.9未満であるSOG膜やポリイミド等の有機系低誘電率膜の低誘電率膜においても同様に吸湿性に富み、素子特性及び金属配線の特性を劣化させてしまうという問題がある。

【0007】

【発明が解決しようとする課題】上記したように、上層配線及び下層配線間を絶縁分離する層間絶縁膜に比誘電率が3.9未満である低誘電率絶縁膜を用いた場合、層間絶縁膜に添加されている不純物が上層配線方向へと拡散して金属と絶縁膜との密着性を劣化させるという問題があった。また、低誘電率絶縁膜は、透過性に富み水や水酸イオン等が拡散しやすく、素子特性や配線等を劣化させるという問題があった。

【0008】本発明の目的は、上層配線及び下層配線間を分離絶縁する層間絶縁膜に添加されている不純物の拡散、並びに該層間絶縁膜への水や水酸イオンの侵入を抑制し、素子の信頼性の向上を図り得る半導体装置を提供することにある。

【0009】

【課題を解決するための手段】

【構成】本発明は、上記目的を達成するために以下のよう構成されている。

（1）本発明（請求項1）の半導体装置は、基板上に形成された下層配線と、前記基板及び下層配線上に形成された比誘電率が3.9未満の下層絶縁膜と、この下層絶縁膜上に形成され、該下層絶縁膜より比誘電率が高く、水及び水酸イオンの透過率が低い拡散抑制絶縁膜と、この拡散抑制絶縁膜上に形成され、比誘電率が該拡散抑制絶縁膜より低い上層絶縁膜と、前記上層絶縁膜上

に形成、又は該上層絶縁膜に埋め込み形成された上層配線とを具備してなることを特徴とする。

(2) 本発明(請求項6)の半導体装置の製造方法は、基板上に下層配線を形成する工程と、前記基板及び下層配線上に比誘電率が3.9未満である下層絶縁膜を形成する工程と、前記下層絶縁膜上に、比誘電率が該下層絶縁膜より高く、水及び水酸イオンの拡散係数が低い拡散抑制絶縁膜を形成する工程と、前記拡散抑制絶縁膜上に、比誘電率が該拡散抑制絶縁膜より低い上層絶縁膜を形成する工程と、前記上層絶縁膜上に上層配線を形成するか、又は該上層絶縁膜に溝を形成しこの溝内に上層配線を埋め込み形成する工程とを含むことを特徴とする。

【0010】本発明の好ましい実施態様を以下に示す。
(A-1) 前記最下層及び上層絶縁膜は、フッ素、ホウ素若しくは炭素が不純物として添加されたシリコンを含む絶縁膜である。

(A-2) 前記下層絶縁膜は、HDP-CVD法で形成された。

(A-3) 前記拡散抑制絶縁膜は、少なくとも298.15~400.15Kの範囲内において、前記下層絶縁膜より水及び水酸イオンの透過率が低い。なお、水とは、 H_2O 及び D_2O を含む。

(B-1) 前記下層絶縁膜の膜密度が、熱酸化により得られるシリコン酸化膜の膜密度より低い。

(B-2) 前記下層絶縁膜或いは上層絶縁膜が、SOG膜或いは有機系絶縁膜である。

(C) 前記拡散抑制絶縁膜の膜厚が、前記下層配線上の下層絶縁膜の膜厚より薄い。

(D) 前記下層配線或いは上層配線が金属配線である。

【0011】[作用] 本発明は、上記構成によって以下の作用・効果を有する。拡散抑制絶縁膜によって、下層絶縁膜中に添加されている不純物が、上層絶縁膜と上層配線との界面まで拡散することを防止し、上層絶縁膜と上層配線との密着性の劣化を防止することが可能となる。

【0012】また、拡散抑制絶縁膜は、水や水酸イオン等の透過率が低いので、その下層の下層絶縁膜に水や水酸イオンが拡散することを抑制することが可能となり、信頼性が向上する。

【0013】水や水酸イオン透過率が低い絶縁膜は、一般的に比誘電率が高い物質である。従って、拡散抑制絶縁膜上に上層配線を形成すると、上層配線間の容量が増加する。そこで、拡散抑制絶縁膜より比誘電率が低い上層絶縁膜を形成し、該上層絶縁膜上に上層配線が形成することによって、多層層間配線容量の増加を防いでいる。

【0014】また、配線間容量は、容量は線間を埋め込む絶縁膜でなく、配線直下の絶縁膜にも強く影響される。従って、配線が形成される上層絶縁膜は、拡散抑制

絶縁膜より比誘電率が低いので、線間容量の増加も抑制される。

【0015】また、上層と下層配線との間の層間容量を低減するためには、拡散抑制絶縁膜の膜厚が、下層絶縁膜の下層配線上の膜厚より薄くしなければならない。また、下層絶縁膜を平坦化した後拡散抑制絶縁膜を形成することによって、特性のバラツキのない半導体装置を形成することができる。

【0016】

【発明の実施の形態】本発明の実施の形態を以下に図面を参照して説明する。

【第1実施形態】図1は、本発明の第1実施形態に係わる2層配線を有する半導体装置の構成を示す断面図である。なお、本実施形態では、素子分離並びにMOSFET等の形成工程は省略し、多層金属配線に直接関わる部分のみを図示している半導体基板10上に素子分離絶縁膜11が形成されている。素子分離絶縁膜11上に複数本の第1の金属配線(下層配線)20が形成されている。第1の金属配線20は、Ti膜21、TiN膜22及びAl-Cu合金膜23が積層されて構成されている。

【0017】素子分離絶縁膜11及び第1の金属配線20上に、HDP-CVD法によって形成され、フッ素が高濃度に添加されているシリコン酸化膜(以下SiOF膜)(下層絶縁膜)31が形成されている。SiOF膜31は、その比誘電率の値が3.6であり、 SiO_2 膜の比誘電率値3.9に比べて低い値を有する。従って、従来層間絶縁膜と用いられていた SiO_2 膜に比べて配線間容量を低減することができる。

【0018】SiOF膜31上に、第1の金属配線20上のSiOF膜31の膜厚より薄い膜厚のシリコン窒化膜(拡散抑制絶縁膜)32が形成されている。シリコン窒化膜32は、Si-Nのネットワークが強固即ち緻密な膜であることから、水及び水酸イオンの拡散に寄与する経路が極端に少ない構造体として存在することが可能となり、水(H_2O 、 D_2O)及び水酸イオンの透過率がSiOF膜31と比べて低い絶縁膜となり、水及び水酸イオンがSiOF膜31の中に侵入することを抑制する。また、同様に、SiOF膜31中の余剰なFが後述する SiO_2 膜中に拡散することを防ぎ、該 SiO_2 膜と後述する第2の金属配線の密着性の劣化を防止することが可能となる。

【0019】シリコン窒化膜32上に SiO_2 膜(上層絶縁膜)33が形成されている。 SiO_2 膜33の比誘電率は、SiOF膜31より高く、シリコン窒化膜32より低い値を有する。

【0020】SiOF膜31、シリコン窒化膜32、 SiO_2 膜33に第1の金属配線20に接続するビア・ホールが形成され、ビア・ホール中にWプラグ材41が埋め込み形成されている。

10

20

30

40

50

【0021】 SiO_2 膜33上に複数本の第2の金属配線(上層配線)50が形成されている。この第2の金属配線50は、 Ti 膜51、 TiN 膜52、 Al-Cu 合金膜53が積層されて構成されている。また、1本の第2の金属配線50は、Wプラグ材41に接続されている。

【0022】 SiO_2 膜33及び第2の金属配線50上にチップを保護するためのパッシベーション絶縁膜として SiON 膜61が形成されている。 SiON 膜61には、第2の金属配線50に接続する接続窓62が形成されている。

【0023】次いで、この半導体装置の製造工程を説明する。図2、3は、本発明の第1実施形態に係わる2層金属配線の製造方法を示す工程断面図である。本工程断面図においては、素子分離並びにMOSFET形成工程は省略し、2層金属配線形成に直接関わる工程部分のみを図示している。

【0024】先ず、半導体基板10上に、後に形成する配線の絶縁分離層となる素子分離絶縁膜11を堆積した後、絶縁膜11上に Ti 膜21を20nm積層する。そして、 Ti 膜21上に TiN 膜22を700nmの膜厚でスパッタ法により堆積する。連続して、 TiN 膜22上にスパッタ法を用いて Al-Cu 合金膜23を400nmの膜厚で堆積する。次いで、リソグラフィ技術を用いて配線部分の Al-Cu 合金膜23上にレジストパターンを形成する。そして、レジストパターンをマスクとしてRIE(Reactive Ion Etching)法を用いて、 Al-Cu 合金膜23、 TiN 膜22及び Ti 膜21を順次エッチングして第1の金属配線20を形成加工した後、レジストパターンを除去する(図2(a))。

【0025】次いで、図2(b)に示すように、Bias-HDP CVD(Bias-High Density Plasma Chemical Vapor Deposition)法を用いて SiOF 膜31を1.3 μm 堆積する。 SiOF 膜31の成膜は、ICP-TypeのHDP-CVD装置内に、 SiF_4/O_2 からなる反応ガスにBiasスパッタ効果を得るための Ar ガスを添加したガス系を導入して、 $1 \times 10^{12} \text{ cm}^{-3}$ のプラズマ密度で行った。

【0026】 SiOF 膜31を形成するための反応ガスには、 Si 源となる $\text{TEOS}/\text{O}_2/\text{NF}_3$ 、 $\text{TEOS}/\text{O}_2/\text{CF}_4$ 、 $\text{TEOS}/\text{O}_2/\text{C}_2\text{F}_2$ 等の TEOS ガスにフッ素を構成ガス中に持つ材料を添加したガス系、 Si 源となる $\text{SiH}_4/\text{O}_2/\text{CF}_4$ 、 $\text{SiH}_4/\text{O}_2/\text{C}_2\text{F}_6$ 等の SiH_4 ガスフッ素を構成ガス中に持つ材料を添加したガス系、或いは SiF_4/O_2 、 $\text{SiH}_2\text{F}_2/\text{O}_2$ 、 $\text{SiF}_4/\text{SiH}_4/\text{O}_2$ 、 $\text{SiH}_2\text{F}_2/\text{SiH}_4/\text{O}_2$ 等の Si 及び F が反応ガスの1分子中に含まれるガス系等を用いることができる。上記のうち、 Si 源となるガスに炭素を含有しない単純な系となる材料ガスを用いるほうがより望ましい。

【0027】HDP-CVD法を用いることによって、成膜の際に得られるイオンが従来と比較してより単純且つ安定なイオンの形態でウェハ上に供給可能となることから、膜を構成する分子ネットワーク内に欠陥数の少ない絶縁膜を得ることが可能となる。例えば、従来の平行平板型電極のCVD装置によって得られた膜をESR法による測定した結果、 $6 \times 10^{18} [\text{spin}/\text{cm}^3]$ の E' centerが観測されたのに対し、HDP-CVD法によって得られた膜の値が検出限界以下であった。本実施形態においては、 $\text{SiF}_4/\text{SiH}_4 \cdot \text{O}_2$ 成膜ガスにより、 SiOF 膜31を堆積した。

【0028】次いで、図2(c)に示すように、CMP法を用いて SiOF 膜31の表面を研磨し、平坦化処理を行う。この研磨工程において、第1の金属配線20上の SiOF 膜31の膜厚が0.8 μm になるまで、 SiOF 膜31を研磨する。

【0029】次いで、図3(d)に示すように、 SiOF 膜31上に減圧プラズマCVD法により、シリコン窒化膜32を50nm堆積し、続いて反応ガス及び成膜条件を変え、同一チャンバー中にて SiO_2 膜33を150nm堆積する。

【0030】 SiO_2 膜33の成膜には、 TEOS/O_2 系、更に少量の F 化合物ガスが添加された状態での成膜が考えられ、 SiO_2 膜33中には、フッ素、炭素等の不純物が混入していても良い。

【0031】なお、シリコン窒化膜32と SiO_2 膜33とを同一チャンバー中にて連続成膜しているが、別チャンバー又は別装置を用いた非連続成膜を行うことも可能である。

【0032】次いで、図3(e)に示すように、 SiOF 膜31、シリコン窒化膜32及び SiO_2 膜33に前記第1の金属配線20と接続するビア・ホールをリソグラフィ技術とRIE技術によって開孔形成する。そして、選択W CVD技術によりビア・ホール内のみWプラグ材41を埋め込み形成する。

【0033】次いで、図3(f)に示すように、 SiO_2 膜33上にスパッタ法を用いて Ti 膜51を20nm、 TiN 膜52を700nm及び Al-Cu 合金膜53を400nmの膜厚で順次連続して堆積する。次いで、リソグラフィ技術により、配線パターンとなる部分の Al-Cu 膜53上にレジストパターンを形成する。そして、レジストパターンをマスクとして、RIEによって Ti 膜51、 TiN 膜52及び Al-Cu 膜53を順次エッチングし、第2の金属配線50を形成する。

【0034】そして、全面に、チップ保護を目的としたパッシベーション絶縁膜として例えば SiON 膜61を減圧CVD法によって200nm堆積する。そして、第2の金属配線50上の SiON 膜61を選択的に除去し、外部接続用の接続窓62を形成し、半導体装置が完成する。

【0035】本実施形態によれば、シリコン窒化膜32によって、SiOF膜31の中に水酸イオンが侵入することを防ぎ、能動素子(MOSFET)及び第1の金属配線の特性の劣化を防止することができる。また、シリコン窒化膜32は、SiOF膜31中の余剰なFが第2の金属配線50とSiO₂膜33の界面に到達するのを防ぎ、金属配線50とSiO₂膜33との密着性の劣化を防ぐ。

【0036】なお、シリコン窒化膜32以外にも、SiON等の緻密な膜を用いることも可能である。

【第2実施形態】図4は、本発明の第2実施形態に係わる2層金属配線を有する半導体装置の構成を示す断面図である。なお、図4において、図1と同一の部分には同一符号を付しその説明を省略する。

【0037】本実施形態の特徴は、SiOF膜31上の拡散抑制絶縁膜が、SiO_x (0<x<2)膜34であることである。SiO_x (0<x<2)膜34は、酸素が欠損することによって、膜中にSi-となるE' centerが形成される。SiO_x膜34の中に水酸イオン(-OH基)が侵入すると、Si-の欠陥部を-OH基が終端する反応が生じる。従って、SiO_x膜34下のSiOF膜31に供給される水酸イオンの絶対量が低減され、第1の金属配線20が劣化することを防止する。

【0038】また、同様にSiOF膜31の中の余剰なFが、SiO₂膜33に拡散することを防ぎ、SiO₂膜33と第2の金属配線50との密着性の劣化を防止する。次いで、この半導体装置の製造工程を説明する。図5、6は、本発明の第2実施形態に係わる微細化2層金属配線の製造方法を示す工程断面図である。

【0039】まず、第1実施形態における図3(c)のSiOF膜31の平坦化後、図5(a)に示すように、SiOF膜31上に、減圧CVD法を用いてSiO_x (0<x<2)膜34を50nm成膜する。SiO_x膜34は、SiO₂に比べてSi比率の高いシリコン酸化膜とすべく、Siの供給源であるガス、例えばSiH₄の全ガス量に対する比率を、通常のアラズマCVDによるSiO₂の成膜条件より高めた環境を用いて形成する。

【0040】SiH₄ガスの分解効率は、装置仕様により異なるが、今回SiH₄ガス量を通常の1.2倍とし、その他の成膜条件については通常と同じ条件を用いることで、SiとOとの比がSi:1に対しO:1.7の膜を得ることができた。

【0041】SiO_x膜34の形成後、SiH₄ガス量を1/1.2に低下させてSiO₂膜が成長する条件に変更し、同一チャンパー中にてSiO₂膜33を150nm堆積する。そして、SiOF膜31、SiO_x膜34及びSiO₂膜33に第1の金属配線20と接続する

ビア・ホールを形成し、ビア・ホール内にWプラグ

材41を埋め込み形成する。なお、本実施形態では、SiO_x膜34とSiO₂膜33とを同一チャンパー中にて連続成膜しているが、別チャンパー又は別装置を用いた比連続成膜を行うことも可能である。

【0042】次いで、第1実施形態と同様に、SiO₂膜33上にTi膜51、TiN膜52、Al-Cu合金膜53が積層された第2の金属配線50を形成する。そして、第1実施形態と同様に、SiON膜61を減圧CVD法によって200nm堆積する。そして、第2の金属配線50上のSiON膜61を選択的に除去し、接続窓62を形成する(図5(b))。

【0043】本実施形態によれば、SiO_x膜下のSiOF膜に供給される水酸イオンの絶対量が低減することから、能動素子(MOSFET)及び金属配線の特性の劣化を防止することができる。同様に、SiOF膜中の余剰なFがSiO₂膜に拡散することを防ぎ、SiO₂膜と第2の金属配線との密着性の劣化を防止することができる。

【0044】【第3実施形態】図6は、本発明の第3実施形態に係わる2層配線の構造を示す断面図である。図6において、図1と同一な部分には、同一符号を付しその詳しい説明を省略する。本実施形態の特徴は、絶縁膜11及び第1の金属配線20上に形成された絶縁膜(下層絶縁膜)が、低誘電率シリケート膜35で構成されていることである。低誘電率シリケート膜35としては、BPSG、PSG或いはBSG等を用いることができる。低誘電率シリケート膜は、SiO₂膜に比べて膜密度が低い膜であることから、水酸イオン等が透過しやすい膜である。

【0045】下層絶縁膜がシリケート膜35であっても、緻密なシリコン窒化膜32によって水酸イオン等がシリケート膜35に拡散することを防ぎ、第1の金属配線20が劣化することを防止する。また、第2実施形態と同様に、SiO_x (0<x<2)膜を用いることも可能である。

【0046】次に、この半導体装置の製造工程を説明する。図7は、本発明の第2実施形態に係わる微細化2層金属配線の製造方法を示す工程断面図である。まず、第1実施形態と同様に、半導体基板10上に形成された絶縁膜11上に、Ti膜21、TiN膜22、Al-Cu合金膜23からなる第1の金属配線20を形成する(図7(a))。

【0047】次いで、シリケート材をレジスト塗布と同様に、例えば3000rpmの回転を施しながら塗布した後、250度、30secの第1次熱処理、450度、30minの第2次熱処理を順次施すことにより、膜中の溶媒を気化させて硬化・膜化させ、膜厚1.5μmの低誘電率シリケート膜35を形成する(図7(b))。

【0048】なお、シリケート材として、日立化成社製

有機SOG R7 (Spin-On Glass: SOG, Hitachi Chemical Co., Ltd., HSG-2209S-R7) や旭ガラス社製サイトップ、Sehmaccher社製PAE (ポリアリルエーテル)、ダウケミカル社製BCB (ベンゾシクロブテン)、ダウケミカル社製PFCB (パーフルオロシクロブテン)、ダウケミカル社製無機SOG HSQ等が用いることができる。

【0049】次いで、図7(c)に示すように、CMP (Chemical Mechanical Polish 10 ing) 技術を用い、低誘電率シリケート膜35を研磨し、表面の平坦化処理を施す。例えば、第1の金属配線20上の絶縁膜厚が、0.8 μ mになるまで研磨する。

【0050】第1実施形態の図3(d)~(f)説明した工程を経ることによって、図6に示した半導体装置が形成される。本実施形態によれば、シリコン窒化膜下のシリケート膜に供給される水酸イオンの絶対量が低減することから、能動素子(MOSFET)及び金属配線の特性の劣化を防止することができる。

【0051】上層絶縁膜として、下層絶縁膜と同一の材料を用いても良い。なお、本発明は、上記実施形態に限定されるものではない。例えば、層間絶縁膜は3層で形成されていたが、拡散抑制絶縁膜と上層絶縁膜との間に異なる絶縁膜を挿入して4層以上で絶縁膜で構成することも可能である。

【0052】また、上記実施形態において、上層配線は、上層絶縁膜上に形成されていたが、図8に示すように、上層絶縁膜33に形成された配線溝63に埋め込み形成することも可能である。

【0053】これは、図2(d)に示す構造に対して、30 SiO₂膜33に配線溝63を形成し、さらに所定配線溝63内に、前記第1の金属配線20と接続するようにヴィア・ホールを形成する。このヴィア・ホール内のみWプラグ材41を埋め込み形成した後、全部の配線溝63内にTi膜51、TiN膜52を順次形成し、Al-Cu合金膜53を堆積することによって形成される。

【0054】また、HDPの形成にはICP以外にも、ECR (Electron Cyclotron Resonance) やHelicon (Helicon Wave Excited Plasma) 等が用いることができる。

【0055】さらには、上層絶縁膜として下層絶縁膜として挙げた塗布型膜を用いても良い。その他、本発明は、その要旨を逸脱しない範囲で、種々変形して実施することが可能である。

【0056】

【発明の効果】以上説明したように本発明によれば、透水性に富み、且つ不安定な不純物を有する下層絶縁膜、下層絶縁膜より水及び水酸イオンの透過率の低い拡散抑制絶縁膜、比誘電率が下層絶縁膜より高く拡散抑制絶縁膜より低い上層絶縁膜を積層することで、配線容量の低下を図りつつ、能動素子や配線の特性の劣化を防止することができる。

【図面の簡単な説明】

【図1】第1実施形態に係わる半導体装置の構成を示す断面図。

【図2】第1実施形態に係わる半導体装置の製造工程を示す工程断面図。

【図3】第1実施形態に係わる半導体装置の製造工程を示す工程断面図。

【図4】第2実施形態に係わる半導体装置の構成を示す断面図。

【図5】第2実施形態に係わる半導体装置の製造工程を示す工程断面図。

【図6】第3実施形態に係わる半導体装置の構成を示す断面図。

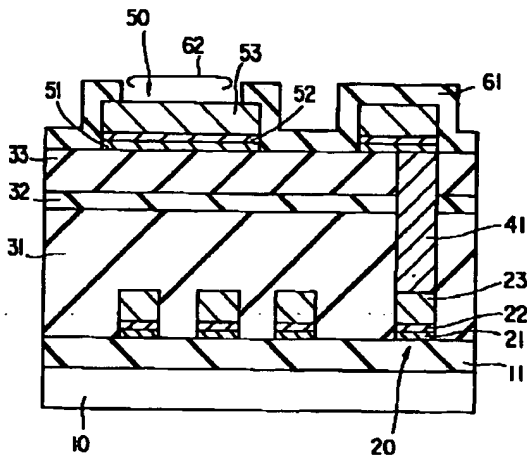
【図7】第3実施形態に係わる半導体装置の構成を示す工程断面図。

【図8】本発明の一変形例に係わる半導体装置の構成を示す断面図。

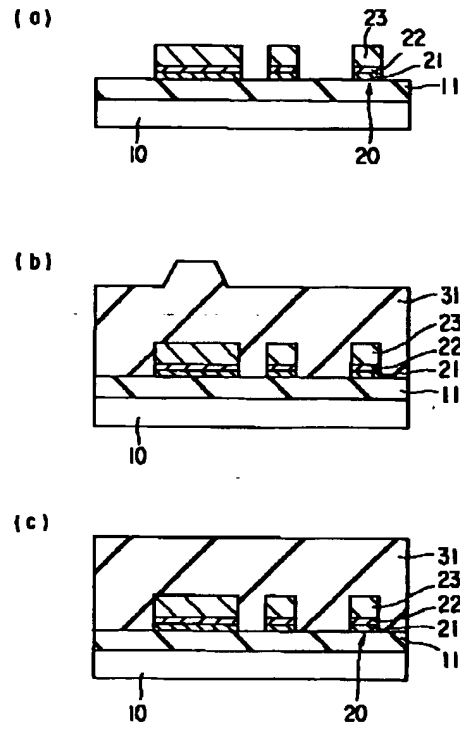
【符号の説明】

- 10...半導体基板
- 11...絶縁膜
- 20...第1の金属配線(下層配線)
- 21...Ti膜
- 22...TiN膜
- 23...Al-Cu合金膜
- 31...SiOF膜(下層絶縁膜)
- 32...シリコン窒化膜(拡散抑制絶縁膜)
- 33...SiO₂膜(上層絶縁膜)
- 34...SiO_x (0<x<2)膜(拡散抑制絶縁膜)
- 35...低誘電率シリケート膜(拡散抑制絶縁膜)
- 41...Wプラグ材
- 50...第2の金属配線(上層配線)
- 51...Ti膜
- 52...TiN膜
- 53...Al-Cu合金膜
- 61...SiON膜
- 62...接続窓
- 63...配線溝

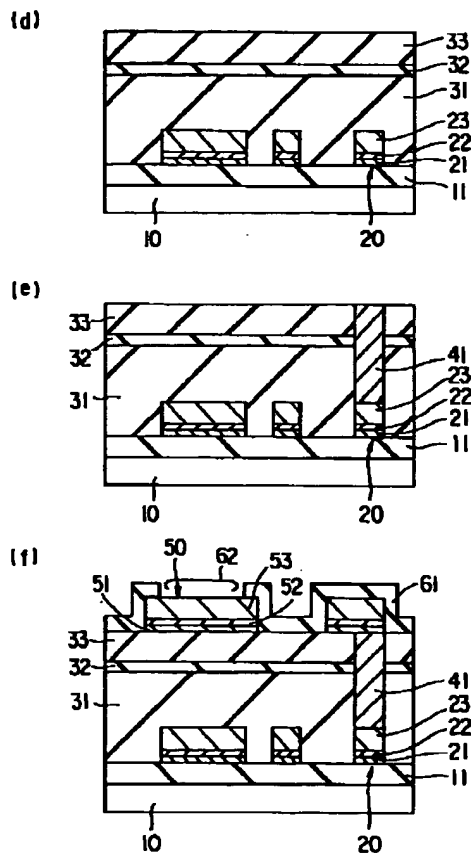
【図1】



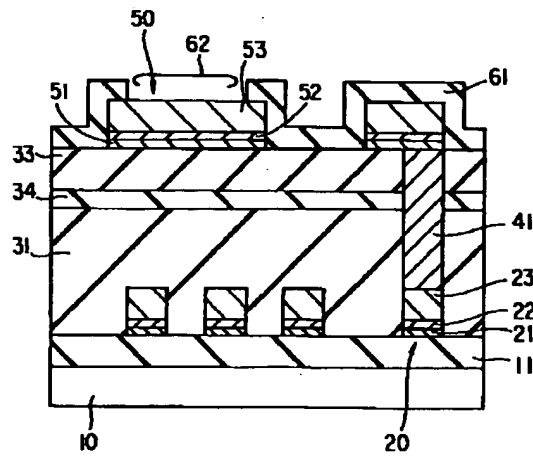
【図2】



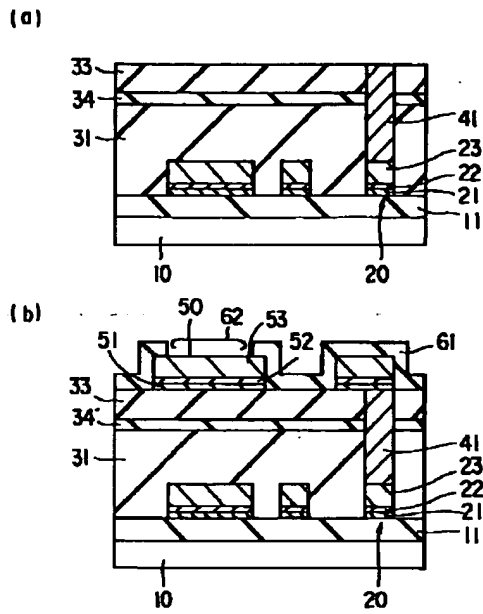
【図3】



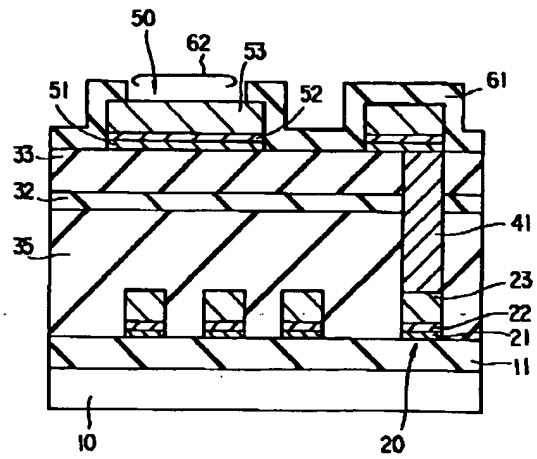
【図4】



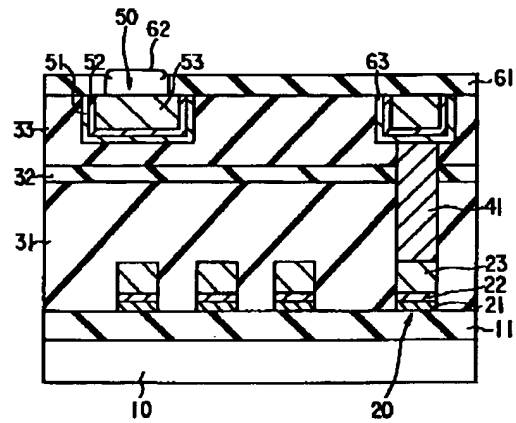
【図5】



【図6】



【图8】



【図7】

